

United States Patent & Trademark Office
Office of Initial Patent Examination

Application papers not suitable for publication

SN 10,058,116

Mail Date 01-29-02

- ☒ Non-English Specification
- ☐ Specification contains drawing(s) on page(s) _____ or table(s) _____
- ☐ Landscape orientation of text ☐ Specification ☐ Claims ☐ Abstract
- ☐ Handwritten ☐ Specification ☐ Claims ☐ Abstract
- ☐ More than one column ☐ Specification ☐ Claims ☐ Abstract
- ☐ Improper line spacing ☐ Specification ☐ Claims ☐ Abstract
- ☐ Claims not on separate page(s)
- ☐ Abstract not on separate page(s)
- ☐ Improper paper size -- Must be either A4 (21 cm x 29.7 cm) or 8-1/2"x 11"
- ☐ Specification page(s) _____ ☐ Abstract
- ☐ Drawing page(s) _____ ☐ Claim(s)
- ☐ Improper margins
- ☐ Specification page(s) _____ ☐ Abstract
- ☐ Drawing page(s) _____ ☐ Claim(s)
- ☐ Not reproducible
- | <u>Reason</u> | <u>Section</u> |
|---|--|
| <input type="checkbox"/> Paper too thin | <input type="checkbox"/> Specification page(s) _____ |
| <input type="checkbox"/> Glossy pages | <input type="checkbox"/> Drawing page(s) _____ |
| <input type="checkbox"/> Non-white background | <input type="checkbox"/> Abstract |
| | <input type="checkbox"/> Claim(s) |
- ☐ Drawing objection(s)
- ☐ Missing lead lines, drawing(s) _____
- ☐ Line quality is too light, drawing(s) _____
- ☐ More than 1 drawing and not numbered correctly
- ☐ Non-English text, drawing(s) _____
- ☐ Excessive text, drawing(s) _____
- ☐ Photographs capable of illustration, drawing(s) _____

205210-9T500T

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

明細書

半導体装置、回路基板、電気光学装置、及び電子機器

発明の属する技術分野

本発明は、半導体装置、特に、装置性能の経時劣化の防止に適した半導体装置、電気光学装置、及び電子機器に関する。

背景技術

図1には、従来の半導体装置の例として薄膜トランジスタを示す。図1(a)は、従来の多結晶シリコン薄膜トランジスタの平面図、図1(b)は平面図のbb線における断面図、及び図1(c)は平面図のcc線における断面図である。図1のように、多結晶シリコン薄膜トランジスタとしては、トップゲート型の構造をとるものが一般的である(液晶ディスプレイ技術、松本正一編著、産業図書)。

図2は、典型的な多結晶シリコン薄膜トランジスタの製作工程を示す図である。まず、図2(a)に示したように、ガラス基板51上に、 SiH_4 を用いたPECVDや、 Si_2H_6 を用いたLPCVDにより、非晶質シリコンを成膜する。エキシマレーザー等のレーザー照射や、固相成長により、アモルファスシリコンを再結晶化させ、多結晶シリコン膜52を形成する。次に、図2(b)に示したように、多結晶シリコン52を

パターニングして島状化した後、ゲート絶縁膜53を成膜し、ゲート電極54を、成膜およびパターニングにより形成する。次に、図2(c)に示したように、リンやボロンなどの不純物をゲート電極54を用いて自己整合的に多結晶シリコン膜52に打ち込み、活性化し、CMOS構造のソース・ドレイン領域55を形成する。層間絶縁膜56を成膜し、コンタクトホールを開孔し、ソース・ドレイン電極57を成膜およびパターニングにより形成する。

従来、MOS素子などの半導体装置を長時間駆動する際、時間の経過とともに装置性能が劣化してしまうという問題があった。このような経時劣化は、例えば、能動層として機能する半導体膜の端部あるいは半導体膜と絶縁膜との界面における電界集中が重要な原因の一つとして挙げられる。この原因に由来する経時劣化は、例えば、薄膜トランジスタのように絶縁膜上に設けられた膜厚の小さい半導体膜を能動層として用いる半導体装置において、特に顕著となる。

薄膜トランジスタにおいて、半導体膜の端部では、電界が集中し、電界強度が高くなる。さらに、半導体膜の膜厚も小さいため、キャリア密度も高くなるという傾向が見られる。

図3には、多結晶シリコン薄膜トランジスタについて、デバイスシミュレーションによる電界強度分布及びキャリア密度分布の解析結果を示す。図3(a)に示した電界強度の分布においては、半導体膜のやや中央部における電界強度が、 $4.5 \times 10^6 \text{V/cm}$ であったのに対して、半導体膜の最先端部では $6.8 \times 10^6 \text{V/cm}$ という高い値を示した。また、これに対応して、図3(b)に示したように、半導体膜のやや中央部におけるキャリア密度が $2.7 \times 10^{17} \text{cm}^{-3}$ であったのに対して、半導体膜の最先端部では $1.6 \times 10^{18} \text{cm}^{-3}$ であった。

そこで、本発明の目的は、半導体膜の端部の電界強度またはキャリア密度を低減させ、経時劣化の防止に適した半導体装置を得ることである。

発明の開示

本発明の第1の半導体装置は、半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記ゲート電極と前記半導体膜の端部とは、重ならないように形成されていること、を特徴とする。

なお、本明細書における、半導体膜の端部とは、素子分離のために設けられたフィールド絶縁膜と半導体層が接する部分であっても良い。

本発明の第2の半導体装置は、ソース領域とドレイン領域とを有する半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜の幅よりも前記ゲート電極の幅が小であること、を特徴とする。ここで、半導体膜の幅及びゲート電極の幅とは、ソース領域とドレイン領域の間に流れる電流の方向に対して垂直な方向の長さとして定義している。つまり、係る半導体装置は、半導体膜がゲート電極から外側に張り出したような外観を有している。

本発明の第1及び第2の半導体装置において、半導体膜の端部の上方にはゲート電極が形成されていないため、経時劣化の原因の一つである、半導体膜の端部における電界集中を回避することができる。したがって、これらの半導体装置は、製造時の装置性能を長時間にわたって維持することができる。

本発明の第3の半導体装置は、上記の半導体装置において、前記ゲート電極に接続された副ゲート電極をさらに備えたこと、を特徴とする。

本発明の第4の半導体装置は、上記の半導体装置において、前記副ゲート電極は、前記ゲート電極上に配置されていること、を特徴とする。

本発明の第3及び第4の半導体装置は、副ゲート電極を備えているので、半導体膜を流れるキャリアを精密に制御することができる。

本発明の第5の半導体装置は、上記の半導体装置において、前記副ゲート電極と前記半導体膜の端部とは、重なるように配置されていること、を特徴とする。係る半導体装置において、半導体端部のキャリアの制御は、副ゲート電極によってなされるので、係る半導体装置は、半導体膜の端部における電界強度あるいはキャリア密度の低減とオフ電流の低減とを同時に可能とすることに適した構成を有している。なお、前記副ゲート電極が前記半導体膜の端部と重なるように配置されているに止まらず、さらに、前記副ゲート電極が、前記半導体膜の外側に張り出していることがより好ましい。

本発明の第6の半導体装置は、半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜の端部に、ドーパントがドーブされていない真性半導体により形成された領域を備えていること、を特徴とする。係る半導体装置の半導体膜の端部に設けられた真性半導体により形成された領域は、キャリアの移動に対する寄与が少ない。したがって、真性半導体により形成された領域において、高強度の電界または高密度のキャリアが発生しても、装置性能の経時劣化を抑制することができる。なお、本明細書を通して、「ドーパントがドーブされていない真性半導体により形成された領域」とは、ドーパントが全くドーブされていない半導体のみを意味するものではなく、その他の半導体の領域よりドーブ量が小さい領域をも意味している。

本発明の第7の半導体装置は、半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜に、ドーパントがドーブされていない真性半導体により形成された、前記ゲート電極の外側に伸長した領域を備えていること、を特徴とする。係る半導体装置は、駆動時あるいは通電時における半導体膜の加熱による劣化の防止に適した構成を有している。係る半導体装置を、例えば、シフトレジスタ、レベルシフタ、バッファ回路、及びアナログスイッチに組み込まれる半導体装置として利用すれば、これらの回路の経時劣化を低減することができる。

本発明の第8の半導体装置は、ソース領域とドレイン領域とを含む半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極から前記ソース領域または前記ドレイン領域の方向に伸長した領域を備えていること、を特徴とする。係る半導体装置の例としては、例えば、図7や図8に示したような薄膜トランジスタを挙げることができる。これらの薄膜トランジスタは、効率良く半導体膜等で発生する熱を放散するのに好適な構成を有しており、例えば、シフトレジスタ、レベルシフタ、バッファ回路、及びアナログスイッチなどの回路に組み込まれる半導体装置として利用すれば、回路の経時劣化を防止することができる。

本発明の第9の半導体装置は、ソース領域とドレイン領域とを含む半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、ソース領域または前記ドレイン領域の方向に伸長した領域を複数備えていること、を特徴とする。係る半導体装置は電流による熱発生を抑制しながらも、大きな電流量を流すことが可能な構成を有している。

本発明の第10の半導体装置は、上記の半導体装置において、前記半導体膜は、絶縁膜上に形成されていること、を特徴とする。係る半導体装置としては、例えば、薄膜トランジスタやSOI型トランジスタが挙げられる。薄膜トランジスタにおいては、半導体膜の端部の上下に絶縁膜が配置されている。そのため、半導体膜の端部における高い電界強度またはキャリア密度に起因する、装置性能の経時劣化が、特に、薄膜トランジスタにおいて顕著となる。しかしながら、係る半導体装置は、製造時の装置性能を長時間にわたって維持することができる。

本発明の回路基板は、上記の半導体装置と、その半導体装置に信号または電力を供給するための配線と、を含んでいる。係る回路基板は液晶装置やエレクトロルミネッセンス装置などの電気光学装置に好適である。

本発明の第1の電気光学装置は、上記の回路基板と、この回路基板の上方に形成された第1の電極と、前記第1の電極の上方に形成された電気光学素子と、を備えている。

本発明の第2の電気光学装置は、電気光学素子と、上記の半導体装置をシフトレジスタ、レベルシフタ、バッファ回路、及びアナログスイッチから選ばれた少なくとも1つの電子回路として使用していること、を特徴とする。

上記の電気光学装置において、前記電気光学素子として有機エレクトロルミネッセンス素子を利用することができる。

本発明の電子機器は、上記の電気光学装置を、表示部として備えている。

図面の簡単な説明

図1は、従来の多晶質シリコン薄膜トランジスタの平面図、電流に平行な断面図、電流に垂直な断面図である。

図2は、従来の多結晶シリコン薄膜トランジスタの製作工程を示す図。

図3は、デバイスシミュレーションによる従来の多結晶シリコン薄膜トランジスタの電界強度・キャリア密度分布図である。

図4は、本発明の第1の実施例の多晶質シリコン薄膜トランジスタの平面図、電流に平行な断面図、電流に垂直な断面図である。

図5は、デバイスシミュレーションによる本発明の第1の実施例の多結晶シリコン薄膜トランジスタの電界強度・キャリア密度分布図である。

図6は、本発明の第2の実施例の多晶質シリコン薄膜トランジスタの平面図、電流に平行な断面図、電流に垂直な断面図である。

図7は、本発明の第3の実施例の多晶質シリコン薄膜トランジスタの平面図である。

図8は、本発明の第3の実施例の多晶質シリコン薄膜トランジスタの断面図である。

図9は、本発明に係る電気光学装置の断面構造である。

図10は、本発明に係る電気光学装置の平面構造である。

図11は、本発明に係る電気光学装置が実装されたモバイル型のパーソナルコンピュータに適用した場合の一例を示す図である。

図12は、本発明に係る電気光学装置が実装された携帯電話機の一例を示す図である。

図13は、本発明に係る電気光学装置がファインダ部分に適用されたデジタルステルカメラの一例を示す図である。

【符号の説明】

- 11 活性領域
- 12 ソース高濃度ドープ領域
- 13 ドレイン高濃度ドープ領域
- 14 真性半導体領域
- 21 ゲート電極
- 22 副ゲート電極
- 23 ソース電極
- 24 ドレイン電極
- 31 ゲート絶縁膜
- 32 層間絶縁膜
- 33 裏面絶縁膜
- 41 半導体膜端部
- 42 電流
- 51 ガラス基板
- 52 多結晶シリコン膜
- 53 ゲート絶縁膜
- 54 ゲート電極
- 55 ソース・ドレイン領域
- 56 層間絶縁膜
- 57 ソース・ドレイン電極

発明の実施の形態

以下、本発明の好ましい実施例を説明する。

(第1の実施例)

図4には、本発明の第1の実施例に係る薄膜トランジスタの模式的な平面図、及び2つの断面図を示した。係る薄膜トランジスタにおいて、ソース高濃度ドープ領域 12、ドレイン高濃度ドープ領域 13、及び活性領域 11 からなる半導体膜は多結晶シリコンから構成されている。係る薄膜ト

ランジスタは、図1に示した従来の典型的な薄膜トランジスタとは、基本的に同様な構成を有しているが、図4から分かるように、ゲート電極 21 は、ソース高濃度ドープ領域 12、ドレイン高濃度ドープ領域 13、及び活性領域 11 からなる半導体膜の端部とは、重ならないように配置されている。また、ゲート電極 21 と接続された副ゲート電極 22 は、半導体膜端部 41 の外側に張り出すように形成されている。

本実施例の薄膜トランジスタに関して、デバイスシミュレーションを行い、電界強度及びキャリア密度の分布について調べた。その結果を図5に示す。なお、このデバイスシミュレーションは、ゲート電極 21 及び副ゲート電極 22 うち、半導体膜の電界に直接的な影響を及ぼすゲート電極 21 のみを考慮し、それ以外は、先にのべた通常の薄膜トランジスタに関するデバイスシミュレーションと同じパラメーターを用いて行った。図3に示したように、従来の薄膜トランジスタに関するデバイスシミュレーションによる解析結果では、半導体膜の先端部の電界強度及びキャリア密度は、それぞれ、 $6.6 \times 10^4 \text{V/cm}$ 及び $1.6 \times 10^{18} \text{cm}^{-3}$ であったのに対して、本実施例の薄膜トランジスタに関するデバイスシミュレーションによる解析結果では、それぞれ、 $7.2 \times 10^4 \text{V/cm}$ 及び $8.9 \times 10^{16} \text{cm}^{-3}$ となり、電界強度及びキャリア密度はともに顕著に減少した。

このことは、本実施例の薄膜トランジスタのようにゲート電極 21 を半導体膜端部 41 とは重ならないように配置することで、半導体端部の電界強度及びキャリア密度を低減できることを示している。

ソース高濃度ドープ領域 12、ドレイン高濃度ドープ領域 13、及び活性領域 11 からなる半導体膜の外側に張り出すように形成されている副ゲート電極 22 は、特に、オフ電流低減に効果を発揮する。すなわち、副ゲート電極 22 により、微少なリーク電流が問題となるオフ状態において、周辺からの漏れ電界の半導体端部への影響が遮断される。電界が遮断されれば、半導体膜内の電位勾配がゼロに近づくので、キャリア密度が減少し、微少なリーク電流が抑制され、オフ電流が低減される。

(第2の実施例)

図6には、本発明の第2の実施例に係る薄膜トランジスタの模式的な平面図、及び2つの断面図を示した。係る薄膜トランジスタは、ソース高濃度ドープ領域 12、ドレイン高濃度ドープ領域 13、及び活性領域 11 からなる半導体膜の端部に真性半導体領域 14 を備えている。たとえ、真性半導体領域 14 内に高強度の電界及び高密度のキャリアが発生しても、真性半導体領域 14 は電流 42 の経路にはないので、高強度の電界及び高密度のキャリアによる装置性能の経時劣化を抑制することができる。

(第3の実施例)

図7及び図8には、それぞれ、本発明の第3の実施例に係る薄膜トランジスタの模式的な平面図及び電流に対して垂直な方向における断面図を示した。なお、電流に平行な断面図は、図6(b)のものとほぼ同一であるので、省略した。図7に示した薄膜トランジスタの半導体膜は、ソースとドレインとの間に流れる電流42と平行に設けられた複数の真性半導体領域14により、複数個に分割されている。この構成は、複数に分割された半導体膜の各々の端部において発生する高強度の電界及び高密度のキャリアによる経時劣化を抑制し、電流が流れる際に発生する熱を放散するのに適している。さらに、真性半導体領域 14 は、所望の位置あるいは領域における不純物のドーピングを行うだけで、形成することができるので、余分なスペースを特には必要とせず、薄膜トランジスタを最密に配置することができるという利点も有する。このような構成を有する薄膜トランジスタは、液晶パネル、エレクトロルミネッセンスパネル、及びセンサーなど種々の電気製品

の重要な構成要素である、例えば、トランスファークラーク、インバータ、クロックドインバータ、論理ゲート(NAND、NOR など)、シフトレジスタ、レベルシフタ、バッファ回路、差動増幅器、カレントミレーオペアンプ、DA コンバータ、AD コンバータ、DRAM、SRAM、算術回路加算器、マイコン、DSP、アナログスイッチ、及びCPUなどの回路に組み込む半導体装置として利用すれば、これらの回路の経時劣化を低減することができる。

本実施例では、図8に示されているようにゲート電極21は電流の流れる方向と交差するように伸長しており、半導体膜の端部を覆うように形成されている。なお、ゲート電極は半導体膜の端部を覆う代わりに、ゲート電極を最外の半導体膜の端部がゲート電極により覆われないように形成し、そのゲート電極上に副ゲート電極を設けるようにしてもよい。

図9は、本発明の電気光学装置の一例として、電気光学素子として有機エレクトロルミネッセンス素子を用いた有機エレクトロルミネッセンス装置を示した図である。絶縁基板71上に配置された薄膜トランジスタ72及び75のうち、薄膜トランジスタ75に接続された第1層間絶縁膜76上に形成されたソースまたはドレイン電極77は、第2層間絶縁膜78に設けられたコンタクトホールを介して画素電極79と接続されている。画素電極79がITOなどの材料からなる陽極である場合は、本実施例のように画素電極79上に電荷注入層として正孔注入層83を設けることが望ましい。さらに、正孔注入層83上には発光層84が配置されている。発光層84上には陰極85が形成され、陰極85上にはさらに水分や酸素などの陰極85や発光層84への侵入を防止する封止剤86が配置されている。発光層84や正孔注入層83の側方には密着層81と、密着層81上には層間層82が配置されている。

密着層81は正孔注入層83や発光層84をインクジェット法やマイクロスポッティング法などの液相プロセスを使用して形成する場合は、発光層84や正孔注入層83の形成に用いる液体に対する親液性を密着層81と層間層82とで異ならせることにより、容易に正孔注入層83や発光層84を所定の位置に選択的に配置することが可能となる。

図10は、発光素子などの電気光学素子を駆動するために本発明に係る半導体装置を配置した有機エレクトロルミネッセンス素子を用いたアクティブマトリクス型の表示装置に適用した場合の一例を示すもので、この図において符号200が表示装置である。

この表示装置200は、回路図である図10に示すように基体上に、複数の走査線131と、これら走査線131に対して交差する方向に延びる複数の信号線132と、これら信号線132に並列に延びる複数の共通給電線133とがそれぞれ配線されたもので、走査線131及び信号線132の各交点に対応して、画素(画素領域素子)1Aが設けられて構成されたものである。

信号線132に対しては、データ側駆動回路103が設けられている。一方、走査線131に対しては、走査側駆動回路104が設けられている。また、画素領域1Aの各々には、走査線131を介して走査信号がゲート電極に供給される第1の薄膜トランジスタ142と、この第1の薄膜トランジスタ142を介して信号線132から供給されるデータ信号を保持する保持容量capと、保持容量capによって保持されたデータ信号がゲート電極に供給される第2の薄膜トランジスタ143と、この第2の薄膜トランジスタ143を介して共通給電線133に電気的に接続したときに共通給電線133から駆動電流が流れ込む画素電極141と、この画素電極141と対向電極154との間に挟み込まれる発光素子140と、が設けられている。

このような構成のもとに、走査線131が駆動されて第1の薄膜トランジスタ142がオンとなると、そのときの信号線132の電位が保持容量capに保持され、該保持容量capの状態に応じて、第2の薄膜トランジスタ143の導通状態が決まる。そして、第2の薄膜トランジスタ143のチャネルを

介して共通給電線133から画素電極141に電流が流れ、さらに発光素子140を通じて対向電極154に電流が流れることにより、発光素子140は、これを流れる電流量に応じて発光するようになる。

薄膜トランジスタ143及び142として本発明に係る半導体装置を用いることができる。また、データ側駆動回路103や走査側駆動回路104に含まれる、例えば、シフトレジスタ、レベルシフト、ビデオライン、スイッチなどの構成素子としても本発明に係る半導体装置は採用可能である。特に図9に示されたような複数の真性半導体領域が形成された半導体装置は、大きな電流量を流すことがあるシフトレジスタやレベルシフトとして好適である。

つぎに、上記の電気光学装置を適用した電子機器のいくつかの事例について説明する。図11は前述の電気光学装置を適用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。この図において、パーソナルコンピュータ1100は、キーボード1102を備えた本体部1104と、表示ユニット1106とにより構成され、この表示ユニット1106が前述の電気光学装置100を備えている。

図12は前述の電気光学装置100をその表示部に適用した携帯電話機の構成を示す斜視図である。この図において、携帯電話機1200は、複数の操作ボタン1202のほか、受話口1204、送話口1206とともに、前述の電気光学装置100を備えている。

図13は前述の電気光学装置100を、そのファインダに適用したデジタルスチルカメラの構成を示す斜視図である。なお、この図には外部機器との接続についても簡易的に示している。ここで通常のカメラは、被写体の光像によりフィルムを感光するのに対し、デジタルスチルカメラ1300は、被写体の光像をCCD (Charge Coupled Device) などの撮像素子により光電変換して撮像信号を生成する。デジタルスチルカメラ1300におけるケース1302の背面には、前述の電気光学装置100が設けられ、CCDによる撮像信号に基づいて表示を行う構成になっており、電気光学装置100は被写体を表示するファインダとして機能する。また、ケース1302の観察側(図においては裏面側)には、光学レンズやCCDなどを含んだ受光ユニット1304が設けられている。

撮影者が電気光学装置100に表示された被写体像を確認しシャッターボタン1306を押下すると、その時点におけるCCDの撮像信号が、回路基板1308のメモリに転送・格納される。また、このデジタルスチルカメラ1300にあっては、ケース1302の側面に、ビデオ信号出力端子1312と、データ通信用の入出力端子1314とが設けられている。そして、図に示されるように、前者のビデオ信号出力端子1312にはテレビモニタ1430が、また、後者のデータ通信用の入出力端子1314にはパーソナルコンピュータ1440が、それぞれ必要に応じて接続される。さらに、所定の操作により回路基板1308のメモリに格納された撮像信号が、テレビモニタ1430や、パーソナルコンピュータ1440に出力される構成になっている。

なお、本発明の電気光学装置100が適用される電子機器としては、図11のパーソナルコンピュータや、図12の携帯電話、図13のデジタルスチルカメラの他にも、テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、前述した電気光学装置100が適用可能なのは言うまでもない。

なお、上記の実施例は、多結晶シリコン薄膜トランジスタに関するものであるが、その他の半導体装置、例えば、単結晶シリコン薄膜トランジスタ、非晶質シリコン薄膜トランジスタやその他の薄膜トランジスタに対しても、本発明の思想は効果がある。

(発明の効果)

本発明に係る半導体装置は、種々の回路に組み込むことができる。例えば、種々の電気製品、例えば、液晶パネル、エレクトロルミネッセンスパネル、及びセンサーなどの重要な構成要素である、例えば、トランスファークローク、インバータ、クロックドインバータ、論理ゲート(NAND、NORなど)、シフトレジスタ、レベルシフタ、バッファ回路、差動増幅器、カレントミラーオペアンプ、DAコンバータ、ADコンバータ、DRAM、SRAM、算術回路加算器、マイコン、DSP、アナログスイッチ、及びCPUに、本発明に係る半導体装置を組み込むことにより、これらの回路の性能の経時劣化を抑えることができる。

請求の範囲

1. 半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記ゲート電極と、前記半導体膜の端部と、は重ならないように形成されていること、
を特徴とする半導体装置。

2. ソース領域とドレイン領域とを有する半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜の幅よりも前記ゲート電極の幅が小であること、
を特徴とする半導体装置。

3. 請求項1または2に記載の半導体装置において、

前記ゲート電極に接続された副ゲート電極をさらに備えたこと、
を特徴とする半導体装置。

4. 請求項3に記載の半導体装置において、

前記副ゲート電極は前記ゲート電極上に配置されていること、
を特徴とする半導体装置。

5. 請求項3または4に記載の半導体装置において、

前記副ゲート電極は、前記半導体膜の端部と重なるように配置されていること

、
を特徴とする半導体装置。

6. 半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜の端部に、ドーパントがドーピングされていない真性半導体により形成された領域を備えていること、

を特徴とする半導体装置。

7. 半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極の外側に伸長した領域を備えていること、

を特徴とする半導体装置。

8. ソース領域とドレイン領域とを含む半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極から前記ソース領域または前記ドレイン領域の方向に伸長した領域を備えていること、

を特徴とする半導体装置。

9. ソース領域とドレイン領域とを含む半導体膜と、前記半導体膜上の

少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され

たゲート電極と、を含む半導体装置であつて、

前記半導体膜に、ドーパントがドーブされていない真性半導体により形成された、ソース領域または前記ドレイン領域の方向に伸長した領域を複数備えていること、
を特徴とする半導体装置。

10. 請求項1乃至9のいずれかに記載の半導体装置において、

前記半導体膜は、絶縁膜上に形成されていること、

を特徴とする半導体装置。

11. 請求項1乃至10のいずれかに記載の半導体装置と、前記半導体装置に信号または電力を供給するための配線と、を含む回路基板。

12. 請求項11に記載の回路基板と、前記回路基板の上方に形成された第1の電極と、前記第1の電極の上方に形成された電気光学素子と、を備えた電気光学装置。

13. 電気光学素子と、請求項7乃至9のいずれかに記載の半導体装置をシフトレジスタ、レベルシフタ、バッファ回路、及びアナログスイッチから選ばれた少なくとも1つの電子回路として使用していること、

を特徴とする電気光学装置。

14. 請求項12または13に記載の電気光学装置において、

前記電気光学素子は有機エレクトロルミネッセンス素子であること、

を特徴とする電気光学装置。

15. 請求項12乃至14のいずれかに記載の電気光学装置を、表示部として備えた電子機器。

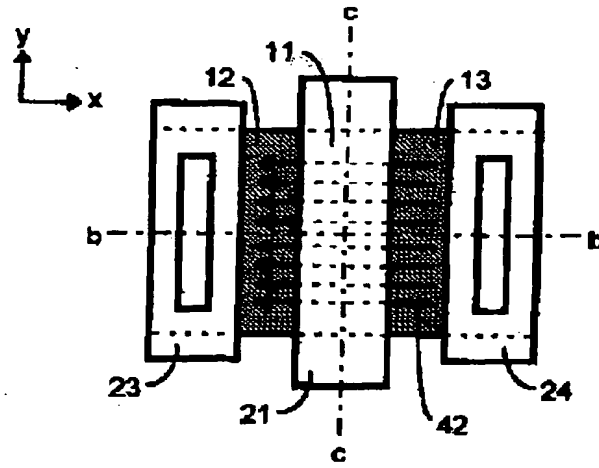
10058116.012902

要約書

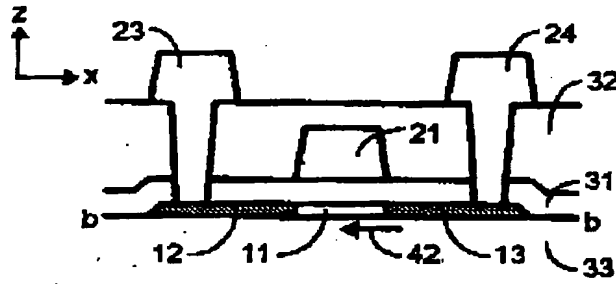
半導体膜の幅よりもゲート電極の幅のほうを狭くする。ゲート電極に接続し、半導体膜からゲート電極のある側でゲート電極よりも遠くに位置する副ゲート電極を備え、半導体膜の幅よりも副ゲート電極の幅のほうを広くする。また、半導体膜の端部に、ドーパントがドーピングされていない真性半導体領域を備える。上記のような構成は、半導体装置において半導体膜端部で発生する電界強度・キャリア密度増加に起因する経時劣化を抑制することに適している。

206270-9TF8500T

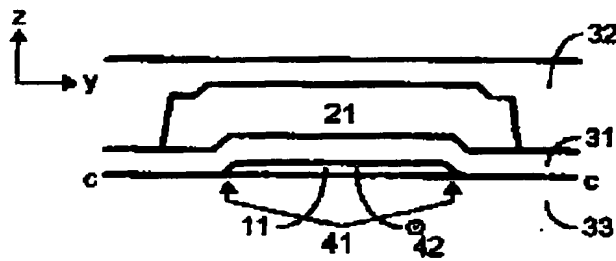
【図1】



(a) 平面図

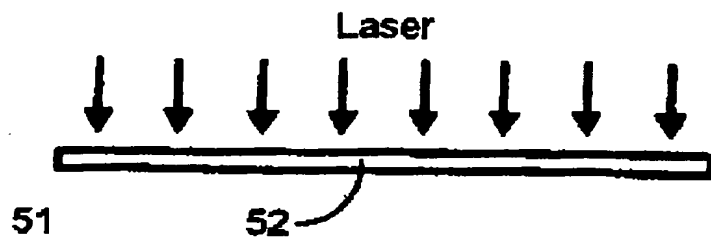


(b) 電流に平行な断面図

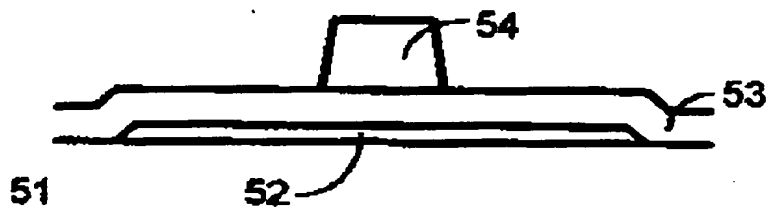


(c) 電流に垂直な断面図

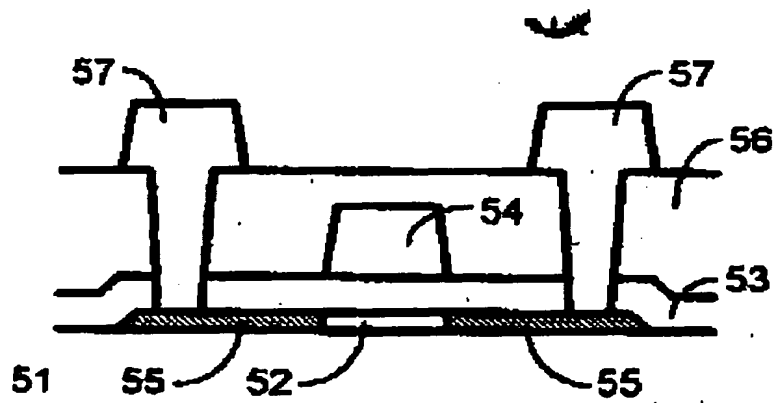
【図2】



(a)



(b)

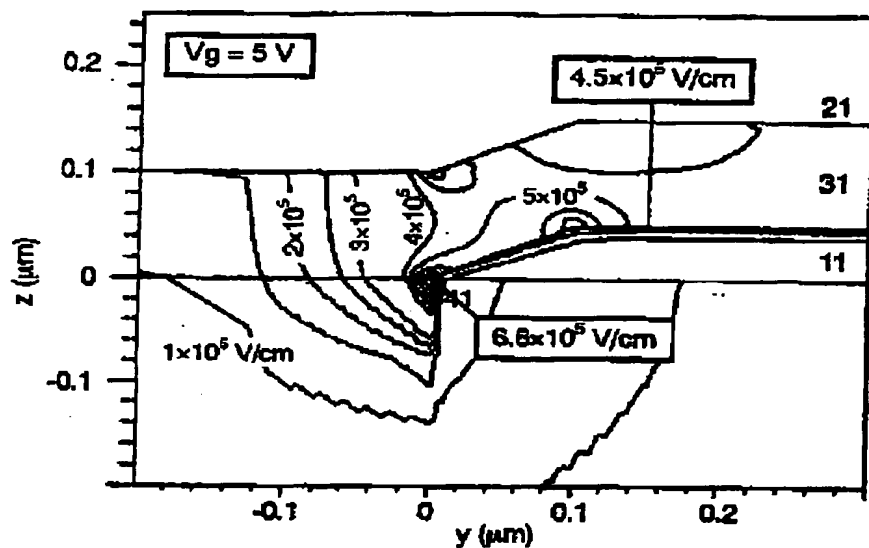


(c)

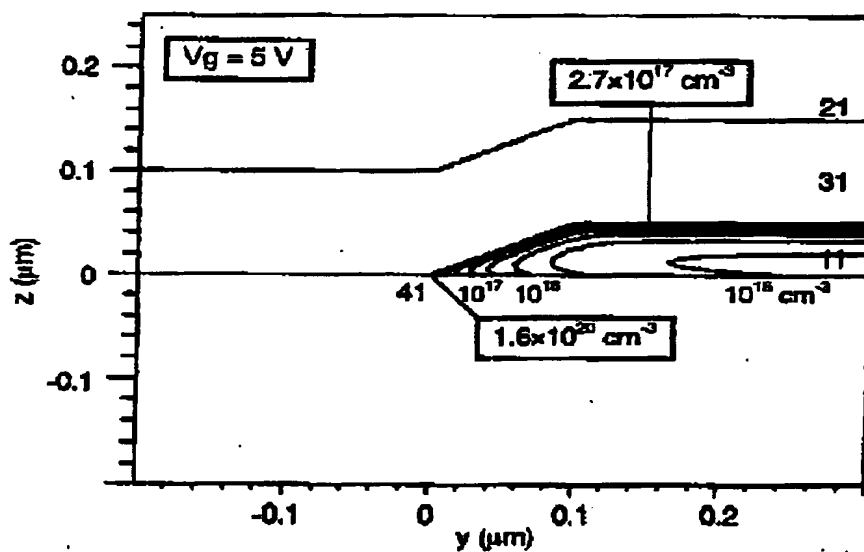
206210-9TF8500T

10058146-012900

【図3】

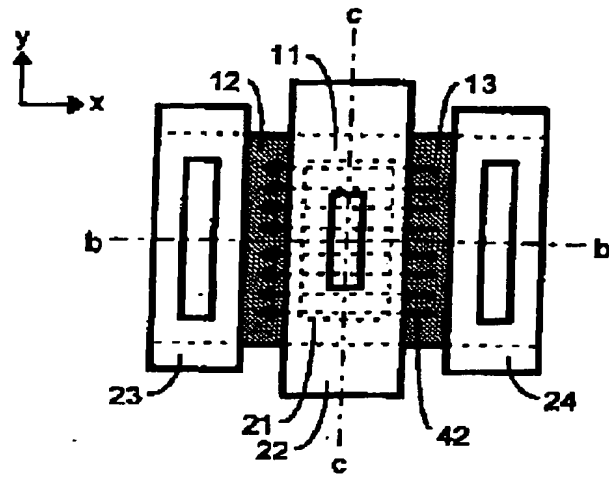


(a) 電界強度分布図

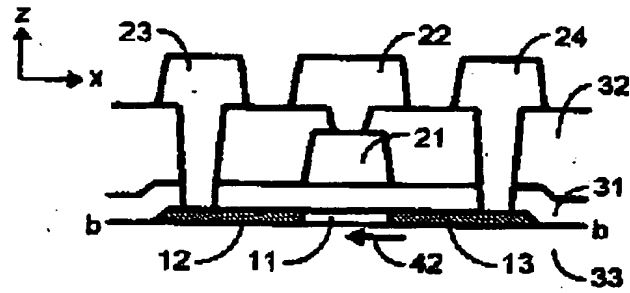


(b) キャリア密度分布図

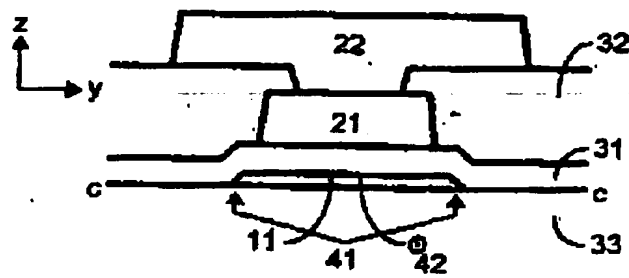
【図4】



(a) 平面図

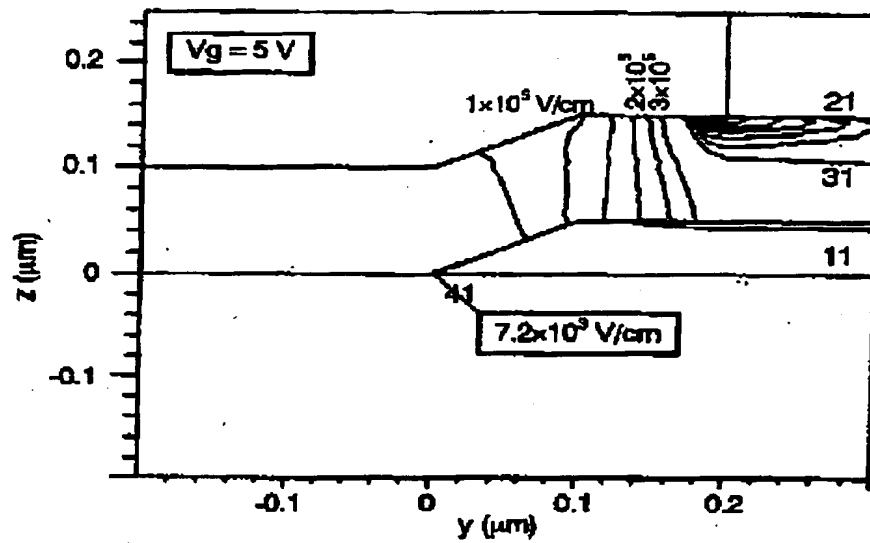


(b) 電流に平行な断面図

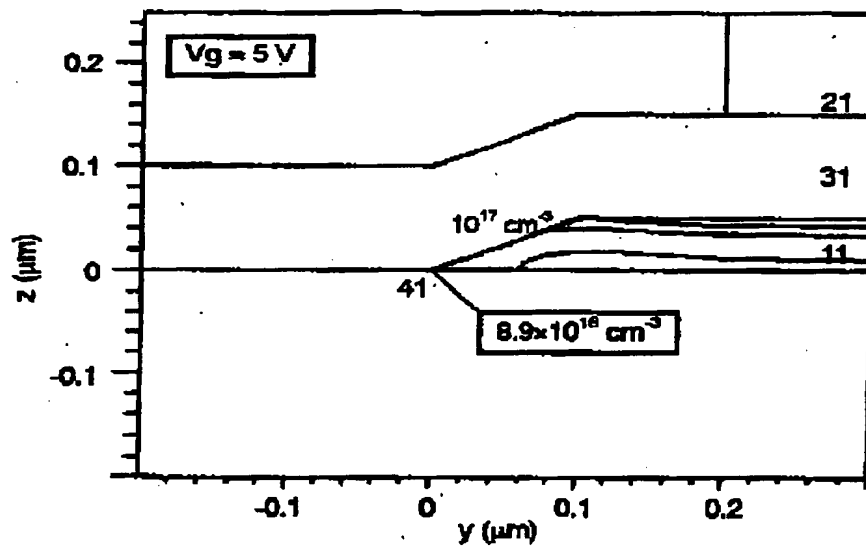


(c) 電流に垂直な断面図

【図 5】

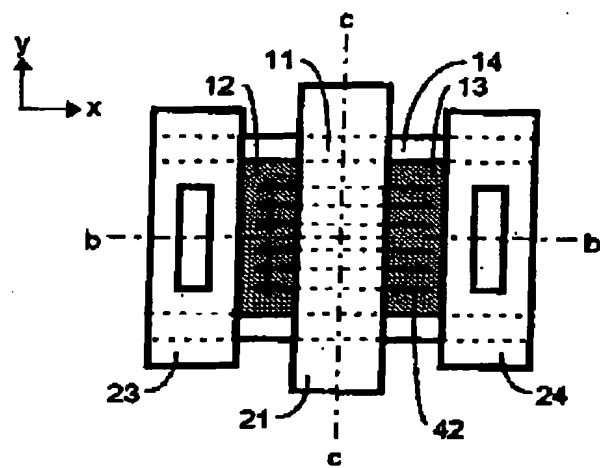


(a) 電界強度分布図

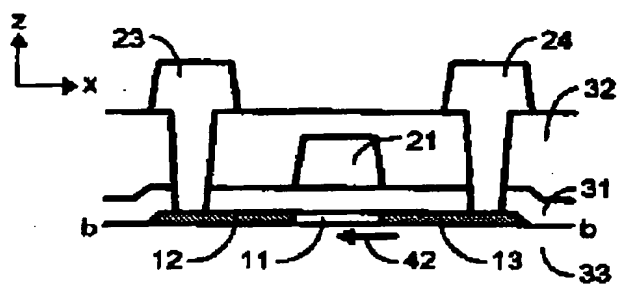


(b) キャリア密度分布図

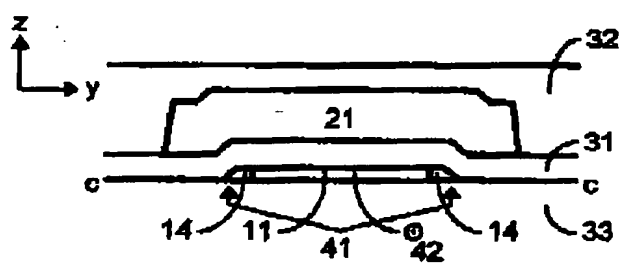
【図6】



(a) 平面図

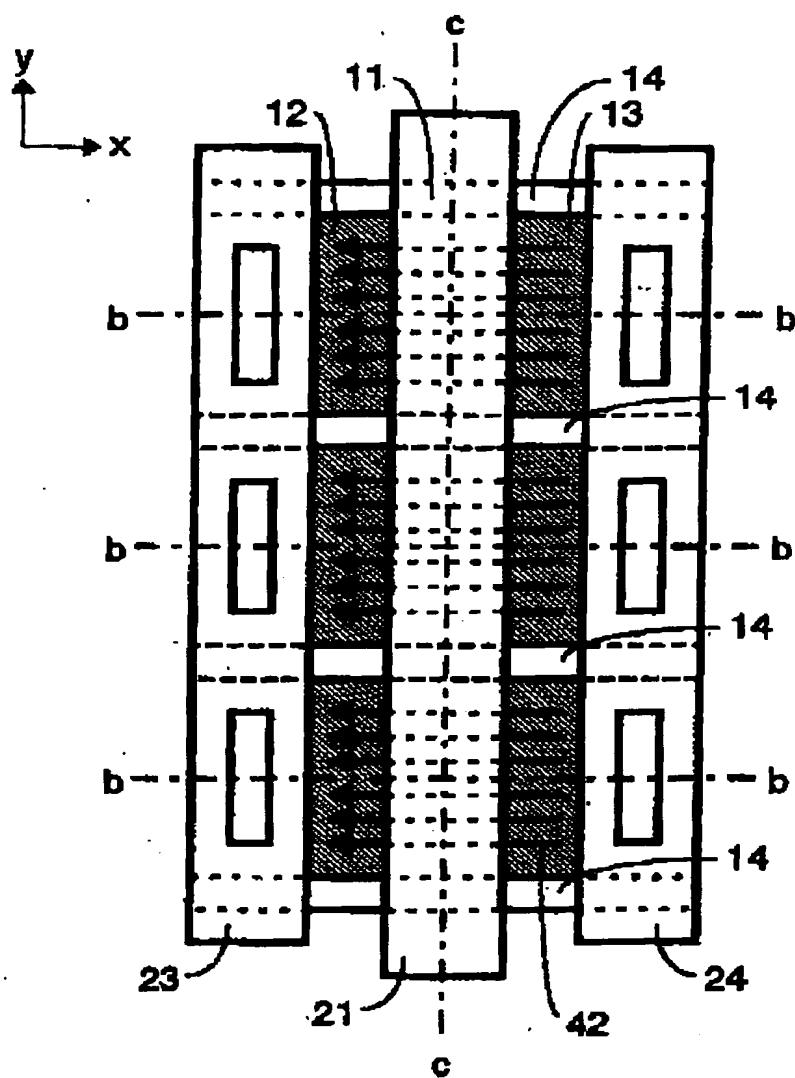


(b) 電流に平行な断面図



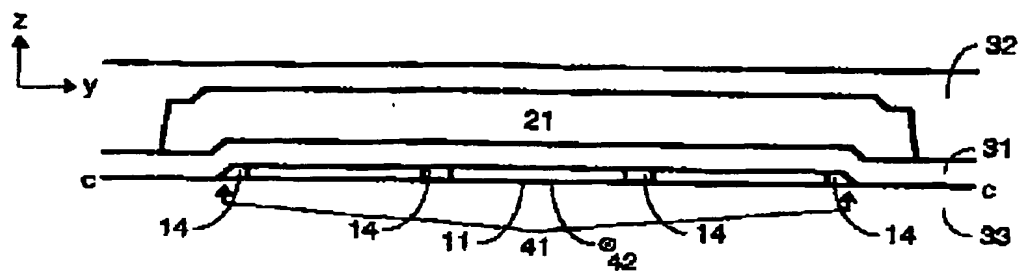
(c) 電流に垂直な断面図

【図7】



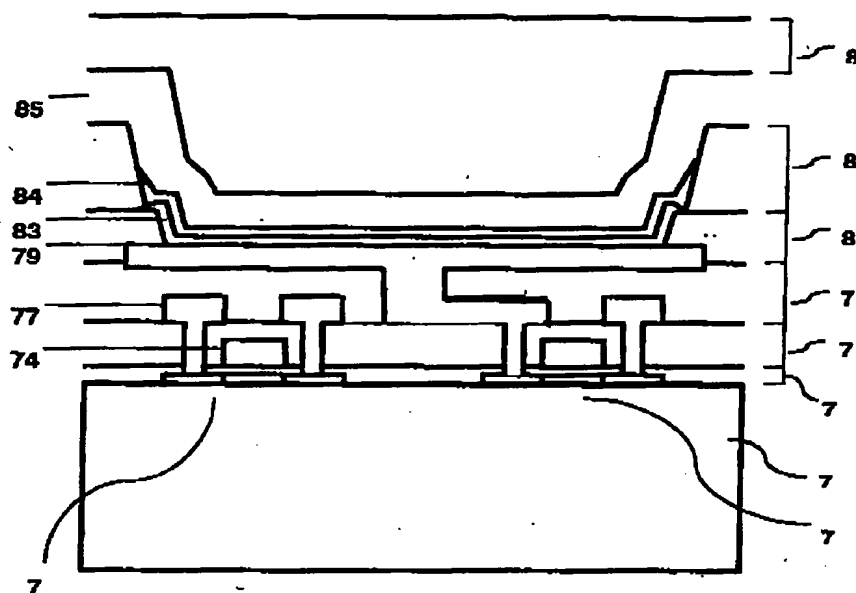
206210-9TT85007

【図8】



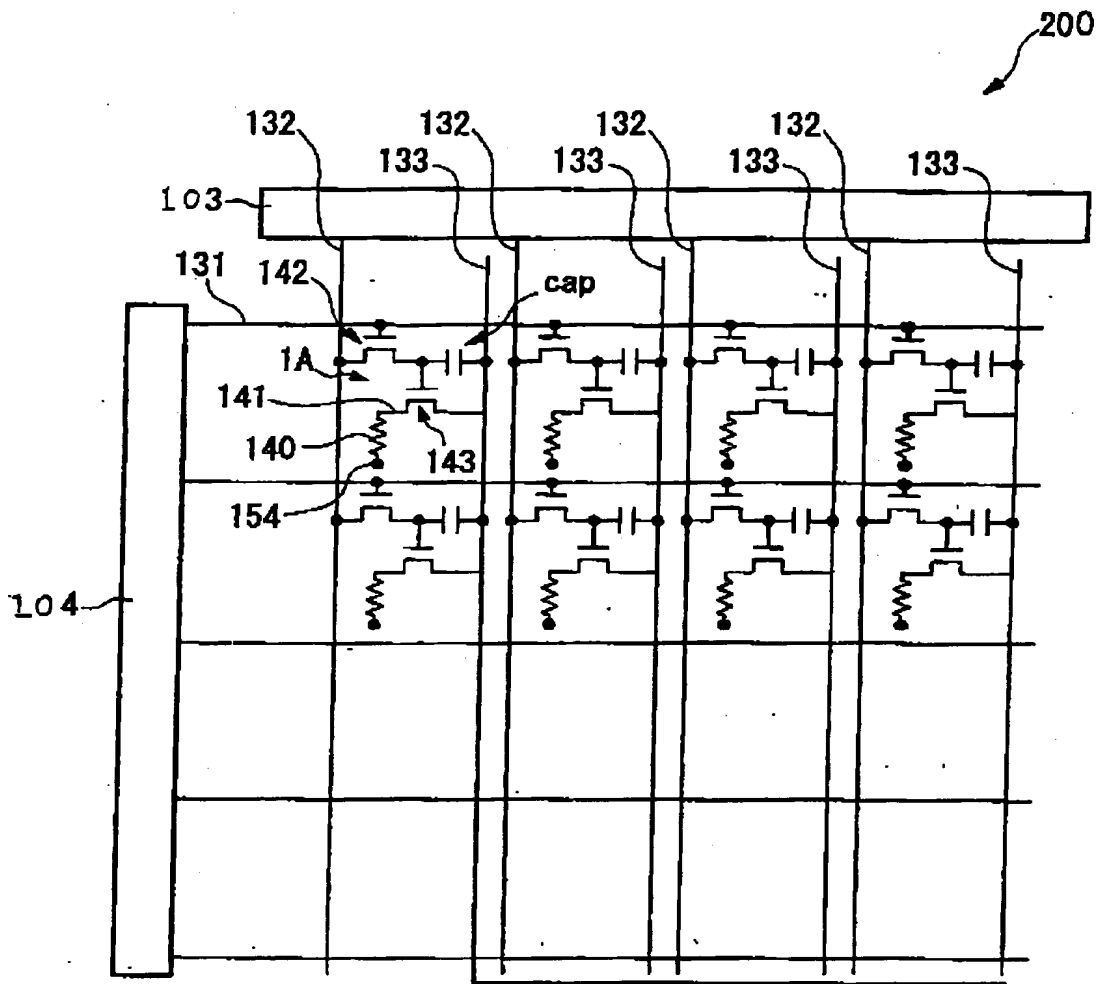
10058146-012902

【图9】



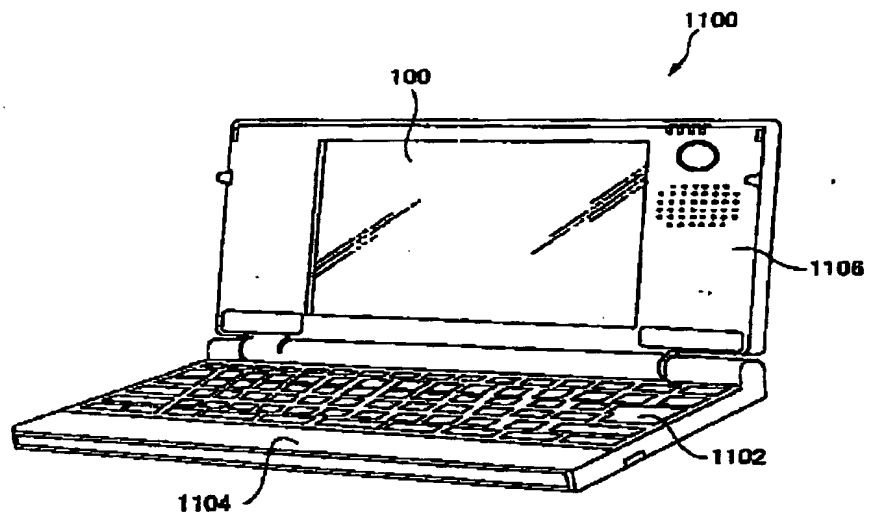
10058115.012902

【図 10】

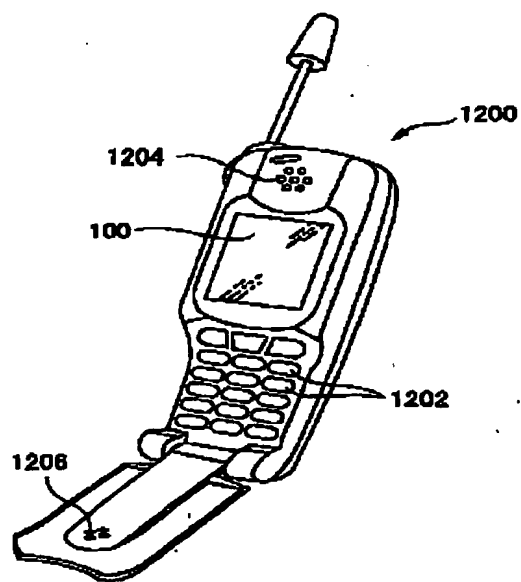


206210" 9T18500T

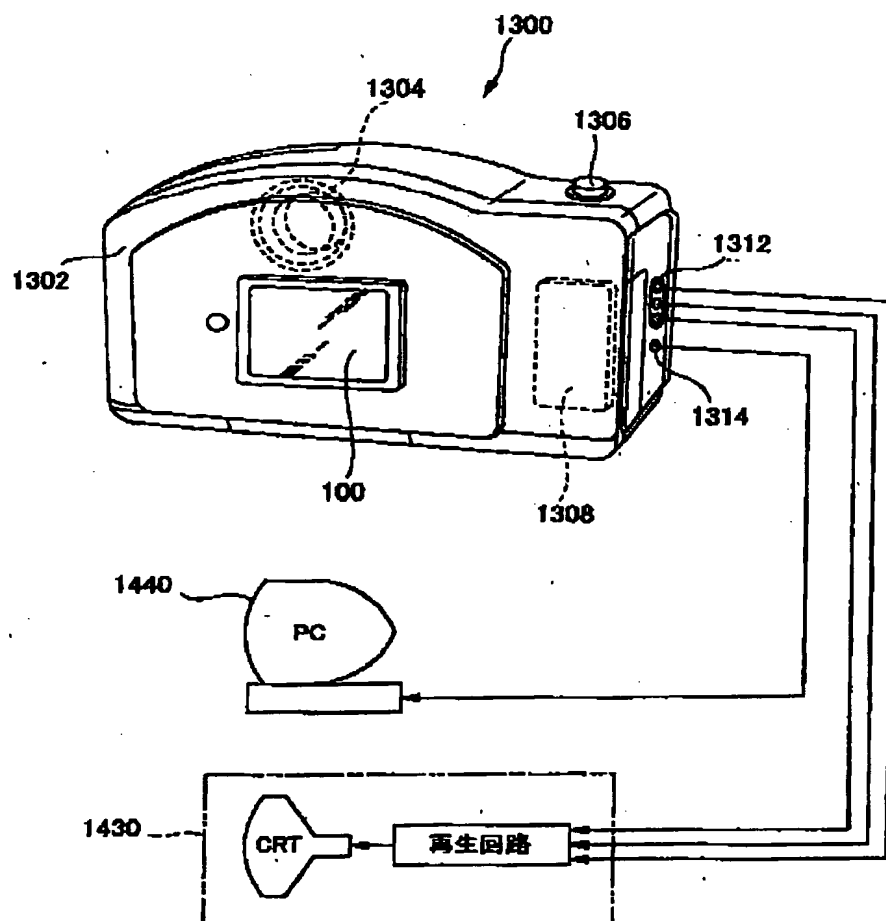
【図11】



【図12】



【図13】



10058116-012902